

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-170376

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

G11C 11/15
G11C 11/14
H01L 27/105
H01L 43/08

(21)Application number : 2000-372510

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.12.2000

(72)Inventor : HIDAKA HIDETO

(30)Priority

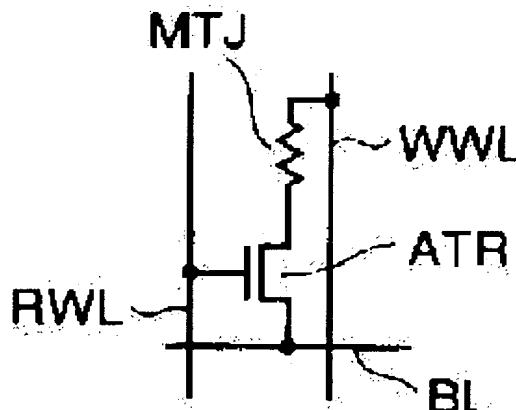
Priority number : 2000290110 Priority date : 25.09.2000 Priority country : JP

(54) THIN FILM MAGNETIC STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase operation speed of reading out data and to reduce a manufacturing cost by decreasing the number of wirings, in a MRAM device having a MTJ memory cell.

SOLUTION: A MTJ memory cell is provided with a magnetic tunnel junction section MTJ of which a resistance value is varied in accordance with a data level of storage data, and an access transistor ATR. A gate of the access transistor is coupled to a read-word line RWL. The bit line BL is not coupled directly to the magnetic tunnel junction section MTJ, but coupled electrically to the magnetic tunnel junction section MTJ through the access transistor ATR. The magnetic tunnel junction section MTJ is coupled between a write-word line WWL and the access transistor ATR. At the time of read-out of data, voltage of the write-word line WWL is set to ground voltage Vss, and a current path for reading out data is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-170376

(P2002-170376A)

(43)公開日 平成14年6月14日(2002.6.14)

| (51)Int.Cl. ⁷ | 識別記号 | FI | テームコード*(参考) |
|--------------------------|-------|------------|-------------|
| G11C 11/15 | | G11C 11/15 | 5F083 |
| | 11/14 | 11/14 | A |
| H01L 27/105 | | H01L 43/08 | Z |
| 43/08 | | 27/10 | 447 |

審査請求 未請求 請求項の数14 O L (全 17 頁)

(21)出願番号 特願2000-372510(P2000-372510)
(22)出願日 平成12年12月7日(2000.12.7)
(31)優先権主張番号 特願2000-290110(P2000-290110)
(32)優先日 平成12年9月25日(2000.9.25)
(33)優先権主張国 日本(JP)

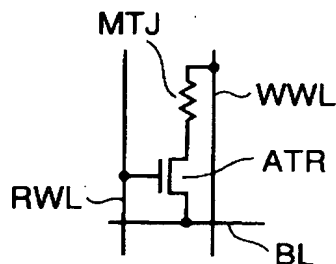
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 日高 秀人
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(74)代理人 100064746
弁理士 深見 久郎 (外4名)
Fターム(参考) 5F083 FZ10 GA01 GA03 GA12 GA28
JA53 KA01 KA05 LA10 LA12
LA16 MA05 MA19 NA03

(54)【発明の名称】 薄膜磁性体記憶装置

(57)【要約】

【課題】 MTJメモリセルを有するMRAMデバイスにおいて、データ読出動作の高速化および、配線層数の減少による製造コスト低減を図る。

【解決手段】 MTJメモリセルは、記憶データのデータレベルに応じて抵抗値が変化する磁気トンネル接合部MTJと、アクセストランジスタATRとを備える。アクセストランジスタATRのゲートはリードワード線RWLと結合される。ビット線BLは、磁気トンネル接合部MTJと直接結合されず、アクセストランジスタATRを介して磁気トンネル接合部MTJと電気的に結合される。磁気トンネル接合部MTJは、ライトワード線WWLおよびアクセストランジスタATRの間に結合される。データ読出時において、ライトワード線WWLの電圧は接地電圧Vssに設定されて、データ読出のための電流経路が形成される。



【特許請求の範囲】

【請求項 1】 薄膜磁性体記憶装置であって、
行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、

第 1 および第 2 のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において、前記第 1 のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、

前記行に対応してそれぞれ設けられ、データ読出時において、行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記磁性体メモリセルの列に対応してそれぞれ設けられ、前記データ書込時および前記データ読出時のそれぞれにおいて前記第 2 のデータ書込電流および前記データ読出電流をそれぞれ流すための複数のデータ線とをさらに備え、

前記複数のデータ線の各々は、対応する前記列に属する複数の前記磁性体メモリセルにおいて、前記メモリセル選択ゲートを介して前記記憶部と電気的に結合される、薄膜磁性体記憶装置。

【請求項 2】 前記複数のデータ線は、前記データ読出の実行前において第 1 の電圧に設定され、

各前記記憶部を前記第 1 の電圧よりも低い第 2 の電圧と結合するための複数の基準配線をさらに備える、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 3】 前記複数の基準配線は、前記複数の書込ワード線および前記複数の読出ワード線と同一の方向に沿って配置される、請求項 2 記載の薄膜磁性体記憶装置。

【請求項 4】 前記薄膜磁性体記憶装置は、半導体基板上に形成され、

前記複数の基準配線は、前記複数の書込ワード線および前記複数の読出ワード線の少なくとも一方と同一の金属配線層に形成される、請求項 2 記載の薄膜磁性体記憶装置。

【請求項 5】 前記複数の基準配線は、前記複数の書込ワード線および前記複数の読出ワード線と交差する方向に沿って配置される、請求項 2 記載の薄膜磁性体記憶装置。

【請求項 6】 前記複数のデータ線の電圧レベルは、前記データ読出の実行前において第 1 の電圧に設定され、前記複数の書込ワード線の電圧レベルは、データ読出時において非活性化されて前記第 1 の電圧とは異なる第 2

の電圧に設定され、

各前記記憶部は、対応する前記メモリセル選択ゲートと前記複数の書込ワード線の対応する 1 つとの間に電気的に結合される、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 7】 薄膜磁性体記憶装置であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、

第 1 および第 2 のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において、前記第 1 のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線をさらに備え、

前記複数の書込ワード線の各々は、対応する前記列に属する複数の前記磁性体メモリセルにおいて、前記メモリセル選択ゲートを介して前記記憶部と電気的に結合されるとともに、前記データ読出時において非活性化されて所定電圧に設定され、

前記行に対応してそれぞれ設けられ、データ読出時において、行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記磁性体メモリセルの列に対応してそれぞれ設けられ、前記データ書込時および前記データ読出時のそれぞれにおいて前記第 2 のデータ書込電流および前記データ読出電流をそれぞれ流すための複数のデータ線とをさらに備え、

前記複数のデータ線の電圧レベルは、前記データ読出の実行前において、前記所定電圧よりも高い電圧に設定される、薄膜磁性体記憶装置。

【請求項 8】 前記薄膜磁性体記憶装置は、複数の金属配線層を伴って半導体基板上に形成され、

前記複数のデータ線は、前記複数の書込ワード線が配置される前記複数の金属配線の 1 つよりも上層に形成される前記複数の金属配線の他の 1 つに配置される、請求項 7 記載の薄膜磁性体記憶装置。

【請求項 9】 薄膜磁性体記憶装置であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、

第 1 および第 2 のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

10

20

30

40

50

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において、前記第1のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、
前記行に対応してそれぞれ設けられ、前記データ読出時において、行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、
前記磁性体メモリセルの列に対応してそれぞれ設けられ、前記データ書込時において前記第2のデータ書込電流を流すための複数の書込データ線と、
前記列に対応してそれぞれ設けられ、前記データ読出時において前記データ読出電流を流すための複数の読出データ線とをさらに備え、
前記複数の読出データ線の各々は、対応する前記列に属する複数の前記記憶部の各々と各前記メモリセル選択ゲートを介して電気的に結合される、薄膜磁性体記憶装置。

【請求項10】 前記複数の読出データ線は、前記データ読出の実行前において第1の電圧に設定され、前記複数の書込データ線の電圧レベルは、データ読出時において前記第1の電圧とは異なる第2の電圧に設定され、

各前記記憶部は、対応する前記メモリセル選択ゲートと前記複数の書込データ線の対応する1つとの間に電気的に結合される、請求項9記載の薄膜磁性体記憶装置。

【請求項11】 前記複数の読出データ線は、前記データ読出の実行前において第1の電圧に設定され、前記複数の書込ワード線は、データ読出時において前記第1の電圧とは異なる第2の電圧に設定され、各前記記憶部は、対応する前記メモリセル選択ゲートと前記複数の書込ワード線の対応する1つとの間に電気的に結合される、請求項9記載の薄膜磁性体記憶装置。

【請求項12】 前記薄膜磁性体記憶装置は、複数の金属配線層を伴って半導体基板上に形成され、前記複数の書込データ線は、前記複数の読出データ線が配置される前記複数の金属配線の1つよりも、前記記憶部との距離が短い前記複数の金属配線の他の1つに配置される、請求項10または11に記載の薄膜磁性体記憶装置。

【請求項13】 前記データ読出時以外における前記複数の読出データ線の電圧は、前記第1の電圧に設定される、請求項9または10に記載の薄膜磁性体記憶装置。

【請求項14】 前記データ書込時以外における前記複数の書込データ線の電圧は、前記第2の電圧に設定される、請求項9または10に記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜磁性体記憶装置に関し、より特定的には、磁気トンネル接合(MTJ: Magnetic Tunneling Junction)を有するメモリセ

ルを備えたランダムアクセスメモリに関する。

【0002】

【従来の技術】低消費電力で不揮発的なデータの記憶が可能な記憶装置として、MRAM (Magnetic Random Access Memory) デバイスが注目されている。MRAM デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

10 【0003】特に、近年では磁気トンネル接合(MTJ: Magnetic Tunnel Junction)を利用した薄膜磁性体をメモリセルとして用いることによって、MRAM装置の性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有するメモリセルを備えたMRAMデバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in eachCell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000. および “Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, IS
20 SCC Digest of Technical Papers, TA7.3, Feb. 2000. 等の技術文献に開示されている。

【0004】図23は、磁気トンネル接合部を有するメモリセル(以下単にMTJメモリセルとも称する)の構成を示す概略図である。

【0005】図23を参照して、MTJメモリセルは、記憶データのデータレベルに応じて抵抗値が変化する磁気トンネル接合部MTJと、アクセストランジスタATRとを備える。アクセストランジスタATRは、電界効果トランジスタで形成され、磁気トンネル接合部MTJと接地電圧Vssとの間に結合される。
30

【0006】MTJメモリセルに対しては、データ書込を指示するためのライトワード線WWLと、データ読出を指示するためのリードワード線RWLと、データ読出時およびデータ書込時において記憶データのレベルに対応した電気信号を伝達するためのデータ線であるビット線BLとが配置される。

【0007】図24は、MTJメモリセルからのデータ読出動作を説明する概念図である。図24を参照して、磁気トンネル接合部MTJは、一定方向の固定磁界を有する磁性体層(以下、単に固定磁気層とも称する)FLと、自由磁界を有する磁性体層(以下、単に自由磁気層とも称する)VLとを有する。固定磁気層FLおよび自由磁気層VLとの間には、絶縁体膜で形成されるトンネルバリアTBが配置される。自由磁気層VLにおいては、記憶データのレベルに応じて、固定磁気層FLと同一方向の磁界および固定磁気層FLと異なる方向の磁界のいずれか一方が不揮発的に書込まれている。
40

【0008】データ読出時においては、アクセストランジスタATRがリードワード線RWLの活性化に応じてターンオンされる。これにより、ビット線BL～磁気ト

5

ンネル接合部MTJ～アクセストランジスタATR～接地電圧 V_{ss} の電流経路に、図示しない制御回路から一定電流として供給されるセンス電流 I_s が流れる。

【0009】磁気トンネル接合部MTJの抵抗値は、固定磁気層FLと自由磁気層VLとの間の磁界方向の相対関係に応じて変化する。具体的には、固定磁気層FLの磁界方向と自由磁気層VLに書込まれた磁界方向とが同一である場合には、両者の磁界方向が異なる場合に比べて磁気トンネル接合部MTJの抵抗値は小さくなる。

【0010】したがって、データ読出時においては、センス電流 I_s によって磁気トンネル接合部MTJで生じる電圧降下は、自由磁気層VLに記憶された磁界方向に応じて異なる。これにより、ビット線BLを一旦高電圧にプリチャージした状態とした後にセンス電流 I_s の供給を開始すれば、ビット線BLの電圧レベル変化の監視によってMTJメモリの記憶データのレベルを読出すことができる。

【0011】図25は、MTJメモリセルに対するデータ書込動作を説明する概念図である。

【0012】図25を参照して、データ書込時においては、リードワード線RWLは非活性化され、アクセストランジスタATRはターンオフされる。この状態で、自由磁気層VLに磁界を書込むためのデータ書込電流がライトワード線WWLおよびビット線BLにそれぞれ流される。自由磁気層VLの磁界方向は、ライトワード線WWLおよびビット線BLをそれぞれ流れるデータ書込電流の向きの組合せによって決定される。

【0013】図26は、データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

【0014】図26を参照して、横軸で示される磁界 H_x は、ライトワード線WWLを流れるデータ書込電流によって生じる磁界 $H(WWL)$ の方向を示す。一方、縦軸に示される磁界 H_y は、ビット線BLを流れるデータ書込電流によって生じる磁界 $H(BL)$ の方向を示す。

【0015】自由磁気層VLに記憶される磁界方向は、磁界 $H(WWL)$ と $H(BL)$ との和が図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ、新たに書込まれる。すなわち、アステロイド特性線の内側の領域に相当する磁界が印加された場合においては、自由磁気層VLに記憶される磁界方向は更新されない。

【0016】したがって、磁気トンネル接合部MTJの記憶データを書込動作によって更新するためには、ライトワード線WWLとビット線BLとの両方に電流を流す必要がある。磁気トンネル接合部MTJに一旦記憶された磁界方向すなわち記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【0017】データ読出動作時においても、ビット線BLにはセンス電流 I_s が流れる。しかし、センス電流 I

6

s は一般的に、上述したデータ書込電流よりは1～2桁程度小さくなるように設定されるので、センス電流 I_s の影響によりデータ読出時においてMTJメモリの記憶データが誤って書換えられる可能性は小さい。

【0018】上述した技術文献においては、このようなMTJメモリセルを半導体基板上に集積して、ランダムアクセスメモリであるMRAMデバイスを構成する技術が開示されている。

【0019】

10 【発明が解決しようとする課題】図27は、行列状に集積配置されたMTJメモリセルを示す概念図である。

【0020】図27を参照して、半導体基板上に、MTJメモリセルを行列状に配置することによって、高集積化されたMRAMデバイスを実現することができる。図27においては、MTJメモリセルを n 行 \times m 列(n , m :自然数)に配置する場合が示される。

【0021】既に説明したように、各MTJメモリセルに対して、ビット線BL、ライトワード線WWLおよびリードワード線RWLを配置する必要がある。したがって、行列状に配された $n \times m$ 個のMTJメモリセルに対して、 n 本のライトワード線WWL1～WWL n およびリードワード線RWL1～RWL n と、 m 本のビット線BL1～BL m とを配置する必要がある。このように、MTJメモリセルに対しては、読出動作と書込動作とのそれぞれに対応して独立したワード線を設ける構成が一般的である。

【0022】図28は、半導体基板上に配置されたMTJメモリセルの構造図である。図28を参照して、半導体主基板SUB上のp型領域PARにアクセストランジスタATRが形成される。アクセストランジスタATRは、n型領域であるソース/ドレイン領域110、120とゲート130とを有する。ソース/ドレイン領域110は、第1の金属配線層M1に形成された金属配線を介して接地電圧 V_{ss} と結合される。ライトワード線WWLには、第2の金属配線層M2に形成された金属配線が用いられる。また、ビット線BLは第3の金属配線層M3に設けられる。

【0023】磁気トンネル接合部MTJは、ライトワード線WWLが設けられる第2の金属配線層M2とビット線BLが設けられる第3の金属配線層M3との間に配置される。アクセストランジスタATRのソース/ドレイン領域120は、コンタクトホールに形成された金属膜150と、第1および第2の金属配線層M1およびM2と、バリアメタル140とを介して、磁気トンネル接合部MTJと電気的に結合される。バリアメタル140は、磁気トンネル接合部MTJと金属配線との間を電気的に結合するために設けられる緩衝材である。

【0024】既に説明したように、MTJメモリセルにおいては、リードワード線RWLとライトワード線WWLとは独立の配線として設けられる。また、ライトワ

ド線WWLおよびビット線BLは、データ書込時において所定値以上の大きさの磁界を発生させるためのデータ書込電流を流す必要がある。したがって、ビット線BLおよびライトワード線WWLは金属配線を用いて形成される。

【0025】一方、リードワード線RWLは、アクセストランジスタATRのゲート電圧を制御するために設けられるものであり、電流を積極的に流す必要はない。したがって、集積度を高める観点から、リードワード線RWLは、独立した金属配線層を新たに設けることなく、ゲート130と同一の配線層において、ポリシリコン層やポリサイド構造などを用いて形成されていた。

【0026】このように、MTJメモリセルを半導体基板上に集積し配置する場合には、データ書込用のライトワード線のために配線層を1層余分に設ける必要があり、金属配線層数の増加に伴うプロセス工程の複雑化に起因する製造コストの上昇を招いていた。

【0027】また、ビット線BL1~BLmの各々には、同一メモリセル列に属する多数のMTJメモリセルが常時接続されているので、ビット線容量が増大してしまう。この結果、特にデータ読出動作の高速化を図ることが困難となってしまう。

【0028】この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、MTJメモリセルを有するMRAMデバイスにおいて、データ読出動作の高速化および、配線層数の減少による製造コスト低減を図ることである。

【0029】

【課題を解決するための手段】請求項1記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において第1のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、行に対応してそれぞれ設けられ、データ読出時において行選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応してそれぞれ設けられ、データ書込時およびデータ読出時のそれぞれにおいて第2のデータ書込電流およびデータ読出電流をそれぞれ流すための複数のデータ線とをさらに備え、複数のデータ線の各々は、対応する列に属する複数の磁性体メモリセルにおいて、メモリセル選択ゲートを介して記憶部と電気的に結合される。

【0030】請求項2記載の薄膜磁性体記憶装置は、請

求項1記載の薄膜磁性体記憶装置であって、複数のデータ線は、データ読出の実行前において第1の電圧に設定され、各記憶部を第1の電圧よりも低い第2の電圧と結合するための複数の基準配線をさらに備える。

【0031】請求項3記載の薄膜磁性体記憶装置は、請求項2記載の薄膜磁性体記憶装置であって、複数の基準配線は、複数の書込ワード線および複数の読出ワード線と同一の方向に沿って配置される。

【0032】請求項4記載の薄膜磁性体記憶装置は、請求項2記載の薄膜磁性体記憶装置であって、半導体基板上に形成され、複数の基準配線は、複数の書込ワード線および複数の読出ワード線の少なくとも一方と同一の金属配線層に形成される。

【0033】請求項5記載の薄膜磁性体記憶装置は、請求項2記載の薄膜磁性体記憶装置であって、複数の基準配線は、複数の書込ワード線および複数の読出ワード線と交差する方向に沿って配置される。

【0034】請求項6記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、複数のデータ線の電圧レベルはデータ読出の実行前において第1の電圧に設定され、複数の書込ワード線の電圧レベルはデータ読出時において非活性化されて第1の電圧よりも低い第2の電圧に設定され、各記憶部は、対応するメモリセル選択ゲートと複数の書込ワード線の対応する1つとの間に電気的に結合される。

【0035】請求項7記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において第1のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線をさらに備え、複数の書込ワード線の各々は、対応する列に属する複数の磁性体メモリセルにおいてメモリセル選択ゲートを介して記憶部と電気的に結合されるとともに、データ読出時において非活性化されて所定電圧に設定され、行に対応してそれぞれ設けられ、データ読出時において、行選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応してそれぞれ設けられ、データ書込時およびデータ読出時のそれぞれにおいて第2のデータ書込電流およびデータ読出電流をそれぞれ流すための複数のデータ線とをさらに備え、複数のデータ線の電圧レベルは、データ読出の実行前において所定電圧よりも高い電圧に設定される。

【0036】請求項8記載の薄膜磁性体記憶装置は、請

求項7記載の薄膜磁性体記憶装置であって、複数の金属配線層を伴って半導体基板上に形成され、複数のデータ線は、複数の書込ワード線が配置される複数の金属配線の1つよりも上層に形成される複数の金属配線の他の1つに配置される。

【0037】請求項9記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において、第1のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、行に対応してそれぞれ設けられ、データ読出時において行選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応してそれぞれ設けられ、データ書込時において第2のデータ書込電流を流すための複数の書込データ線と、列に対応してそれぞれ設けられ、データ読出時においてデータ読出電流を流すための複数の読出データ線とをさらに備え、複数の読出データ線の各々は、対応する列に属する複数の記憶部の各々と各メモリセル選択ゲートを介して電気的に結合される。

【0038】請求項10記載の薄膜磁性体記憶装置は、請求項9記載の薄膜磁性体記憶装置であって、複数の読出データ線は、データ読出の実行前において第1の電圧に設定され、複数の書込データ線の電圧レベルは、データ読出時において第1の電圧よりも低い第2の電圧に設定され、各記憶部は、対応するメモリセル選択ゲートと複数の書込データ線の対応する1つとの間に電気的に結合される。

【0039】請求項11記載の薄膜磁性体記憶装置は、請求項9記載の薄膜磁性体記憶装置であって、複数の読出データ線は、データ読出の実行前において第1の電圧に設定され、複数の書込ワード線は、データ読出時において第1の電圧よりも低い第2の電圧に設定され、各記憶部は、対応するメモリセル選択ゲートと複数の書込ワード線の対応する1つとの間に電気的に結合される。

【0040】請求項12記載の薄膜磁性体記憶装置は、請求項10または11に記載の薄膜磁性体記憶装置であって、複数の金属配線層を伴って半導体基板上に形成され、複数の書込データ線は、複数の読出データ線が配置される複数の金属配線の1つよりも、記憶部との距離が短い複数の金属配線の他の1つに配置される。

【0041】請求項13記載の薄膜磁性体記憶装置は、請求項9または10に記載の薄膜磁性体記憶装置であって、データ読出時以外における複数の読出データ線の電

圧は、第1の電圧に設定される。

【0042】請求項14記載の薄膜磁性体記憶装置は、請求項9または10に記載の薄膜磁性体記憶装置であって、データ書込時以外における前記複数の書込データ線の電圧は、第2の電圧に設定される。

【0043】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳細に説明する。

【0044】〔実施の形態1〕図1は、本発明の実施の形態1に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【0045】図1を参照して、MRAMデバイス1は、外部からの制御信号CMDおよびアドレス信号ADDに応答してランダムアクセスを行ない、書込データDINの入力および読出データDOUTの出力を実行する。

【0046】MRAMデバイス1は、制御信号CMDに
20 応答してMRAMデバイス1の全体動作を制御するコントロール回路5と、 n 行 \times m 列に行列状に配された複数のMTJメモリセルを有するメモリアレイ10とを備える。メモリアレイ10の構成は後に詳細に説明するが、MTJメモリセルの行にそれぞれ対応して複数のライトワード線WWLおよびリードワード線RWLが配置され、MTJメモリセルの列にそれぞれ対応して複数のビット線BLおよび基準配線SLが配置される。

【0047】MRAMデバイス1は、さらに、アドレス信号ADDによって示されるロウアドレスRAに応じてメモリアレイ10における行選択を実行する行デコーダ20と、アドレス信号ADDによって示されるコラムアドレスCAに応じて、メモリアレイ10における列選択
30 を実行する列デコーダ25と、行デコーダ20の行選択結果に基づいてリードワード線RWLおよびライトワード線WWLを選択的に活性化するためのワード線ドライバ30と、データ書込時においてライトワード線WWLにデータ書込電流を流すためのワード線電流制御回路40と、データ読出およびデータ書込時において、データ書込電流およびセンス電流を流すための読出/書込制御回路50、60とを備える。

【0048】読出/書込制御回路50および60は、メモリアレイ10の両端部におけるビット線BLの電圧レベルを制御して、データ書込およびデータ読出をそれぞれ実行するためのデータ書込電流およびセンス電流をビット線BLに流す。

【0049】図2は、実施の形態1に従うメモリアレイ10の構成を示すブロック図である。

【0050】図2を参照して、メモリアレイ10は、 n 行 \times m 列(n, m :自然数)に配置された複数のMTJメモリセルMCを有する。実施の形態1に従う構成においては、各MTJメモリセルMCに対して、リードワード線RWL、ライトワード線WWL、ビット線BLおよび基準配線SLが配置される。リードワード線RWLお

よびライトワード線WWLは、メモリセルの行にそれぞれ対応して行方向に沿って配置される。一方、ビット線BLおよび基準配線SLは、メモリセルの列にそれぞれ対応して、列方向に沿って配置される。

【0051】この結果、メモリアレイ10全体においては、リードワード線RWL1〜RWLn、ライトワード線WWL1〜WWLn、ビット線BL1〜BLmおよび基準配線SL1〜SLmが設けられる。なお、以下においては、ライトワード線、リードワード線、ビット線および基準配線を総括的に表現する場合には、符号WWL、RWL、BLおよびSLをそれぞれ用いて表記することとし、特定のライトワード線、リードワード線およびビット線を示す場合には、これらの符号に添字を付してRWL1、WWL1のように表記するものとする。

【0052】ワード線電流制御回路40は、ライトワード線WWL1〜WWLnを接地電圧Vssと結合する。これにより、ライトワード線WWLを選択状態（Hレベル、電源電圧Vcc）に活性化した場合に、各ライトワード線にデータ書込電流Ipを流すことができる。

【0053】図3は、実施の形態1に従うMTJメモリセルの接続態様を示す回路図である。

【0054】図3を参照して、磁気トンネル接合部MTJおよびアクセストランジスタATRからなるMTJメモリセルに対して、リードワード線RWL、ライトワード線WWL、ビット線BLおよび基準配線SLが設けられる。

【0055】MTJメモリセルは、直列に結合された磁気トンネル接合部MTJおよびアクセストランジスタATRを含む。すでに説明したように、アクセストランジスタATRには、半導体基板上に形成された電界効果トランジスタであるMOSトランジスタが代表的に適用される。

【0056】アクセストランジスタATRのゲートはリードワード線RWLと結合される。アクセストランジスタATRは、リードワード線RWLが選択状態（Hレベル、電源電圧Vcc）に活性化されるとターンオンして、ビット線BLと磁気トンネル接合部MTJとを電気的に結合する。一方、リードワード線RWLが非選択状態（Lレベル、接地電圧Vss）に非活性化される場合には、アクセストランジスタATRはターンオフして、ビット線BLと磁気トンネル接合部MTJとを電気的に遮断する。

【0057】磁気トンネル接合部MTJは、基準配線SLとアクセストランジスタATRとの間に電気的に結合される。基準配線SLは、接地電圧Vssと結合される。したがって、アクセストランジスタATRのターンオンにตอบสนองして、ビット線BL〜アクセストランジスタATR〜磁気トンネル接合部MTJ〜基準配線SLの電流経路が形成される。この電流経路にセンス電流Isを流すことにより、磁気トンネル接合部MTJの記憶デー

タのレベルに応じた電圧降下がビット線BLに生じる。

【0058】ライトワード線WWLは、リードワード線RWLと平行に、磁気トンネル接合部MTJと近接して設けられる。データ書込時においては、ライトワード線WWLおよびビット線BLにデータ書込電流が流され、これらのデータ書込電流によってそれぞれ生じる磁界の和によってMTJメモリセルの記憶データのレベルが書換えられる。

【0059】このように、リードワード線RWLおよびライトワード線WWLは平行に配置される。ビット線BLはリードワード線RWLおよびライトワード線WWLと交差する方向に配置され、基準配線SLはビット線BLと平行に配置される。

【0060】図4は、実施の形態1に従うMTJメモリセルに対するデータ書込およびデータ読出を説明するタイミングチャートである。

【0061】まず、データ書込時の動作について説明する。ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するライトワード線WWLの電圧を選択状態（Hレベル）に駆動する。非選択行においては、ライトワード線WWLの電圧レベルは非選択状態（Lレベル）のままである。

【0062】リードワード線RWLは、データ書込時においては、活性化されず非選択状態（Lレベル）に維持される。ワード線電流制御回路40によって、各ライトワード線WWLは、接地電圧Vssと結合されているので、選択行のライトワード線WWLにはデータ書込電流Ipが流される。一方、非選択行のライトワード線WWLには電流は流れない。

【0063】読出／書込制御回路50および60は、メモリアレイ10の両端におけるビット線BLの電圧を制御することによって、書込データのデータレベルに応じた方向のデータ書込電流を生じさせる。たとえば“1”の記憶データを書込む場合には、読出／書込制御回路60側のビット線電圧を高電圧状態（電源電圧Vcc）に設定し、反対側の読出／書込制御回路50側のビット線電圧を低電圧状態（接地電圧Vss）に設定する。これにより、読出／書込制御回路60から50へ向かう方向にデータ書込電流+Iwがビット線BLを流れる。一方、“0”の記憶データを書込む場合には、読出／書込制御回路50側および60側のビット線電圧を高電圧状態（電源電圧Vcc）および低電圧状態（接地電圧Vss）にそれぞれ設定し、読出／書込制御回路50から60へ向かう方向にデータ書込電流-Iwがビット線BLを流れる。

【0064】この際に、データ書込電流±Iwを各ビット線に流す必要はなく、読出／書込制御回路50および60は、列デコーダ25の列選択結果に応じて、選択列に対応する一部のビット線に対してデータ書込電流±Iwを選択的に流すように、上述したビット線BLの電圧

を制御すればよい。

【0065】このようにデータ書込電流 I_p および $\pm I_w$ の方向を設定することによって、データ書込時において、書込まれる記憶データのレベル“1”，“0”に応じて、逆方向のデータ書込電流 $+I_w$ および $-I_w$ のいずれか一方を選択し、ライトワード線 WWL のデータ書込電流 I_p をデータレベルに関係なく一定方向に固定することによって、ライトワード線 WWL に流れるデータ書込電流 I_p の方向を常に一定にすることができるので、既に説明したようにワード線電流制御回路 40 の構成を簡略化することができる。

【0066】次にデータ読出時の動作について説明する。データ読出時において、ワード線ドライバ 30 は、行デコーダ 20 の行選択結果に応じて、選択行に対応するリードワード線 RWL を選択状態（Hレベル）に駆動する。非選択行においては、リードワード線 RWL の電圧レベルは非選択状態（Lレベル）に維持される。また、データ読出時においては、ライトワード線 WWL は活性化されることなく非選択状態（Lレベル）に維持されたままである。

【0067】データ読出動作前において、ビット線 BL はたとえば高電圧状態（電源電圧 V_{cc} ）にプリチャージされる。この状態からデータ読出が開始されて、選択行においてリードワード線 RWL が Hレベルに活性化されると、対応するアクセストランジスタ ATR がターンオンする。

【0068】これに応じて、MTJメモリセルにおいては、アクセストランジスタ ATR を介して、接地電圧 V_{ss} と結合された基準配線 SL とビット線 BL との間にセンス電流 I_s の電流経路が形成される。センス電流 I_s により、MTJメモリセルの記憶データのデータレベルに応じて異なる電圧降下がビット線 BL に生じる。図 4 においては、一例として記憶されるデータレベルが“1”である場合に、固定磁気層 FL と自由磁気層 VL とにおける磁界方向が同一であるとする、記憶データが“1”である場合にビット線 BL の電圧降下 ΔV_1 は小さく、記憶データが“0”である場合のビット線 BL の電圧降下 ΔV_2 は、 ΔV_1 よりも大きくなる。これらの電圧降下 ΔV_1 および ΔV_2 の差を検知することによって、MTJメモリセルに記憶されたデータのレベルを

読出すことができる。

【0069】基準配線 SL の電圧レベルは、データ読出時において接地電圧 V_{ss} に設定される。データ書込時においては、アクセストランジスタ ATR がターンオフされるため、基準配線 SL が磁気トンネル接合部 MTJ に特に影響を及ぼすことはない。よって、基準配線 SL の電圧レベルは、データ読出時と同様に接地電圧 V_{ss} とすればよい。この結果、基準配線 SL は、接地電圧 V_{ss} を供給するノードと、たとえば読出／書込制御回路 50 もしくは 60 内の領域において結合する態様とす

ばよい。

【0070】図 5 は、実施の形態 1 に従う MTJメモリセルの配置を説明する構造図である。

【0071】図 5 を参照して、アクセストランジスタ ATR は、半導体主基板 SUB 上の p 型領域 PAR に形成される。ビット線 BL は、第 1 の金属配線層 $M1$ に形成されて、アクセストランジスタ ATR の一方のソース／ドレイン領域 110 と電気的に結合される。

【0072】他方のソース／ドレイン領域 120 は、第 1 の金属配線層 $M1$ および第 2 の金属配線層 $M2$ に設けられた金属配線、コンタクトホールに形成された金属膜 150 およびバリアメタル 140 を経由して、磁気トンネル接合部 MTJ と結合される。ライトワード線 WWL は、磁気トンネル接合部と近接して第 2 の金属配線層 $M2$ に設けられる。リードワード線 RWL は、アクセストランジスタ ATR のゲート 130 と同一層に配置される。

【0073】基準配線 SL は、独立した金属配線層である第 3 の金属配線層 $M3$ に配置される。基準配線 SL は、半導体基板上のいずれかのノードにおいて、接地電圧 V_{ss} を供給するノードと結合される。

【0074】これにより、MTJメモリセルにおいて、磁気トンネル接合部 MTJ とビット線 BL とは直接的に結合されず、アクセストランジスタ ATR を介して結合される。これにより、各ビット線 BL は、対応するメモリセル列に属する多数の磁気トンネル接合部 MTJ と直接結合されず、データ読出の対象となる、すなわち対応するリードワード線 RWL が選択状態（Hレベル）に活性化されたメモリセル行に属する MTJメモリセルとのみ電気的に結合される。このように、ビット線 BL の容量を抑制することができ、特にデータ読出時の動作を高速化できる。

【0075】〔実施の形態 1 の変形例〕図 6 は、実施の形態 1 の変形例に従うメモリアレイ 10 の構成を示すブロック図である。

【0076】図 6 を参照して、実施の形態 1 の変形例に従うメモリアレイ 10 においては、図 2 に示される構成と比較して、基準配線 SL が、メモリセル行に対応して $SL_1 \sim SL_n$ の n 本設けられる点異なる。その他の構成については、図 2 で説明したのと同様であるので詳細な説明は繰返さない。

【0077】図 7 は、実施の形態 1 の変形例に従う MTJメモリセルの接続態様を示す回路図である。

【0078】図 7 を参照して、実施の形態 1 と同様に、MTJメモリセルに対応してリードワード線 RWL 、ライトワード線 WWL 、ビット線 BL および基準配線 SL が配置される。図 3 で説明した MTJメモリセルの構成と比較して、実施の形態 1 の変形例に従う MTJメモリセルにおいては、磁気トンネル接合部 MTJ と結合される基準配線 SL がリードワード線 RWL およびライトワ

ード線WWLと平行に配置される点異なる。

【0079】図8は、実施の形態1の変形例に従うMTJメモリセルの配置を説明する構造図である。

【0080】図8を参照して、図5で説明した実施の形態1に従う構造と同様に、ビット線BLおよびライトワード線WWLは、第1および第2の金属配線層M1およびM2にそれぞれ設けられる。実施の形態1の変形例においては、磁気トンネル接合部MTJと結合される基準配線SLをリードワード線RWLおよびライトワード線WWLと平行に設けることによって、これらのワード線のうちの一方と同一配線層に配置することが可能となる。図8においては、基準配線SLをライトワード線WWLとともに第2の金属配線層M2に配置する例を示している。

【0081】これにより、実施の形態1の変形例に従うMTJメモリセルにおいては、基準配線SLを配置するための新たな金属配線層（図5における第3の金属配線層M3）を設けることなく、基準配線SLを配置できる。この結果、実施の形態1で説明したデータ読出の高速化に加えて、金属配線層数の削減による製造コストの低減をさらに図ることができる。

【0082】なお、実施の形態1の変形例に従うMTJメモリセルは、実施例1に従うMTJメモリセルと比較して、基準配線SLの配置方向のみが異なるので、データ読出動作およびデータ書込動作は、リードワード線RWL、ライトワード線WWL、リードビット線RBLおよびライトビット線WBLの電圧および電流を図4の場合と同様に制御することによって実行することができる。

【0083】〔実施の形態2〕図9は、実施の形態2に従うメモリアレイ10の構成を示すブロック図である。

【0084】図9を参照して、メモリアレイ10は、 n 行 \times m 列に配置されたMTJメモリセルを有する。各メモリセル行に対応してリードワード線RWLおよびライトワード線WWLが配置され、各メモリセル列に対応してビット線BLが配置される。したがって、メモリアレイ10全体では、リードワード線RWL1 \sim RWL n 、ライトワード線WWL1 \sim WWL n およびビット線BL1 \sim BL m が配置される。ワード線電流制御回路40は、各ライトワード線WWLを接地電圧 V_{ss} と結合する。

【0085】実施の形態2においては、データ読出時に磁気トンネル接合部MTJを接地電圧 V_{ss} と結合してセンス電流 I_s の経路を確保する基準配線SLの機能を、ライトワード線WWLに共有させることによって、配線層の削減を図る。

【0086】図10は、実施の形態2に従うMTJメモリセルの接続態様を示す回路図である。

【0087】図10を参照して、アクセストランジスタATRは、磁気トンネル接合部MTJとライトワード線

WWLとの間に電氣的に結合される。磁気トンネル接合部MTJは、アクセストランジスタATRとビット線BLとの間に結合される。アクセストランジスタATRのゲートは、リードワード線RWLと結合される。

【0088】ライトワード線WWLは、データ読出時において、接地電圧 V_{ss} に設定される。これにより、データ読出時においてリードワード線RWLが選択状態（Hレベル）に活性化されると、アクセストランジスタATRがターンオンして、ビット線BL \sim 磁気トンネル接合部MTJ \sim アクセストランジスタATR \sim ライトワード線WWLの経路にセンス電流 I_s を流すことができる。

【0089】一方、データ書込時においては、アクセストランジスタATRをターンオフして、ビット線BLおよびライトワード線WWLにデータ書込電流を流すことによって磁気トンネル接合部MTJに書込まれる記憶データのレベルに対応した磁界を発生することができる。

【0090】図11は、実施の形態2に従うMTJメモリセルの配置を説明する構造図である。

【0091】図11を参照して、ライトワード線WWLおよびビット線BLは第1の金属配線層M1および第2の金属配線層M2にそれぞれ配置される。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。

【0092】ライトワード線WWLを、データ読出時において接地電圧 V_{ss} に設定することによって、基準配線SLを設けることなく、2層の金属配線層M1およびM2によって、MTJメモリセルを配置することができる。この結果、金属配線層の数を削減して製造コストを低減できる。

【0093】次に、実施の形態2に従うMTJメモリセルに対するデータ読出およびデータ書込動作を説明する。

【0094】再び図4を参照して、データ読出時には、ライトワード線WWLは非選択状態（Lレベル）のままに維持される。ワード線電流制御回路40によって、各ライトワード線WWLは接地電圧 V_{ss} と結合されるので、データ読出時において、ライトワード線WWLの電圧レベルは基準配線SLの電圧レベルと同じく接地電圧 V_{ss} である。一方、データ書込時において、基準配線SLには電流が流れず、またMTJメモリセルに対して磁界を発生させることもない。

【0095】したがって、基準配線SLを省略しても、ライトワード線WWL、リードワード線RWLおよびビット線BLの電圧と電流とを図4と同様に設定することによって、実施の形態2に従うMTJメモリセルに対してデータ読出およびデータ書込動作を実行することが可能である。

【0096】〔実施の形態2の変形例〕図12は、実施の形態2の変形例に従うメモリアレイ10の構成を示す

ブロック図である。

【0097】図12を参照して、実施の形態2の変形例においても、 n 行 \times m 列に配置されたMTJメモリセルの各行に対応してリードワード線RWLおよびライトワード線WWLが設けられ、各列に対してビット線BLが配置される。したがって、メモリアレイ10全体に対しては、リードワード線RWL1~RWLn、ライトワード線WWL1~WWLnおよびビット線BL1~BLmが設けられる。ワード線電流制御回路40は、各ライトワード線WWLを接地電圧 V_{ss} と結合する。

【0098】図13は、実施の形態2の変形例に従うMTJメモリセルの接続態様を示す回路図である。

【0099】図13を参照して、ビット線BLは、アクセストランジスタATRを介して磁気トンネル接合部MTJと電気的に結合される。磁気トンネル接合部MTJは、ライトワード線WWLおよびアクセストランジスタATRの間に結合される。リードワード線RWLは、アクセストランジスタATRのゲートと結合される。リードワード線RWLとライトワード線WWLは平行に配置され、ビット線BLは、これらのワード線と交差する方向に配置される。

【0100】図14は、実施の形態2の変形例に従うMTJメモリセルの配置を示す構造図である。

【0101】図14を参照して、ビット線BLおよびライトワード線WWLは、第1の金属配線層M1および第2の金属配線層M2にそれぞれ配置される。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。磁気トンネル接合部MTJは、ライトワード線WWL2と直接結合される。これにより、ライトワード線WWLと磁気トンネル接合部MTJとの間隔を狭くすることができるので、データ書込時において両者間の磁気カップリングを大きく設定することができる。この結果、ライトワード線を流れるデータ書込電流 I_p を小さくすることができ、磁気ノイズの発生を抑制できる。

【0102】データ書込時およびデータ読出時における、ライトワード線WWL、リードワード線RWLおよびビット線BLの電圧と電流との設定は、実施の形態2の場合と同様であるので、詳細な説明は繰り返さない。このように実施の形態2の変形例に従う構成においても、基準配線SLを省略して、2つの金属配線層M1およびM2を用いてMTJメモリセルを配置できる。

【0103】また、ビット線BLは、アクセストランジスタATRを介して磁気トンネル接合部MTJと結合される構成となっているので、各ビット線BLは、データ読出の対象となる、すなわち対応するリードワード線RWLが選択状態(Hレベル)に活性化されたメモリセルに属するMTJメモリセルとのみ電気的に結合される。この結果、実施の形態1と同様に、ビット線BLの容量を抑制することができ、特にデータ読出時の動作を

高速化できる。

【0104】[実施の形態3]図15は、実施の形態3に従うメモリアレイ10の構成を示すブロック図である。

【0105】図15を参照して、実施の形態3においては、 n 行 \times m 列に配置されたMTJメモリセルの各行に対応してリードワード線RWLおよびライトワード線WWLが設けられる。一方、ビット線は、データ読出に用いられるリードビット線RBLと、データ書込に用いられるライトビット線WBLとに分割されて、各メモリセル列に対応して配置される。したがって、メモリアレイ10全体に対しては、リードワード線RWL1~RWLn、ライトワード線WWL1~WWLn、リードビット線RBL1~RBLmおよびライトビット線WBL1~WBLmが設けられる。

【0106】なお、ライトビット線およびリードビット線についても、総括的に表現する場合には、符号WBLおよびRBLをそれぞれ用いて表記することとし、特定のライトビット線およびリードビット線を示す場合には、これらの符号に添字を付してWBL1、RBL1のように表記するものとする。

【0107】ワード線電流制御回路40は、各ライトワード線WWLを接地電圧 V_{ss} と結合する。読出/書込制御回路50および60は、リードビット線RBLおよびライトビット線WBLの両端の電圧を制御する。

【0108】図16は、実施の形態3に従うMTJメモリセルの接続態様を示す回路図である。

【0109】図16を参照して、アクセストランジスタATRは、磁気トンネル接合部MTJとリードビット線RBLとの間に電気的に結合される。すなわち、リードビット線RBLは、アクセストランジスタATRを介して磁気トンネル接合部MTJと電気的に結合される。

【0110】磁気トンネル接合部MTJは、アクセストランジスタATRおよびライトビット線WBLと結合される。リードワード線RWLおよびライトワード線WWLは、リードビット線RBLおよびライトビット線WBLとそれぞれ交差する方向に設けられる。リードワード線RWLは、アクセストランジスタATRのゲートと結合される。

【0111】図17は、実施の形態3に従うMTJメモリセルに対するデータ書込およびデータ読出の第1の動作例を説明するタイミングチャートである。

【0112】まずデータ書込時の動作について説明する。ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するライトワード線WWLの電圧を選択状態(Hレベル)に駆動する。非選択行においては、ライトワード線WWLの電圧レベルは非選択状態(Lレベル)のままである。ワード線電流制御回路40によって各ライトワード線WWLは接地電圧 V_{ss} と結合されているので、選択行においてライトワード線

WWLにデータ書込電流 I_p が流れる。

【0113】ライトビット線WBLは、データ書込時前にLレベル（接地電圧）にプリチャージされた状態から、図4で説明したデータ書込時におけるビット線BLの電圧と同様に制御される。これにより、書込まれる記憶データのデータレベルに応じたデータ書込電流 I_w をライトビット線WBLに流すことができる。この結果、図4の場合と同様に、MTJメモリセルに対してデータ書込を実行することができる。

【0114】一方、リードワード線RWLは、データ書込時においては、非選択状態（Lレベル）のままに維持される。リードビット線RBLは、高電圧状態（ V_{cc} ）にプリチャージされる。アクセストランジスタATRがターンオフ状態を維持するので、データ書込時においてリードビット線RBLには電流が流れない。

【0115】次に、データ読出時の動作を説明する。データ読出時においては、ライトワード線WWLは非選択状態（Lレベル）に維持され、その電圧レベルはワード線電流制御回路40によって接地電圧 V_{ss} に固定される。

【0116】ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するリードワード線RWLを選択状態（Hレベル）に駆動する。非選択行においては、リードワード線RWLの電圧レベルは非選択状態（Lレベル）のままである。リードビット線RBLは、データ読出前において高電圧状態（ V_{cc} ）にプリチャージされる。

【0117】読出／書込制御回路50および60は、データ読出時において、ライトビット線WBLを接地電圧 V_{ss} に設定するとともに、データ読出を実行するための一定量のセンス電流 I_s をリードビット線RBLに供給する。

【0118】この状態で、リードワード線RWLの活性化にตอบสนองしたアクセストランジスタATRをターンオンすることにより、センス電流 I_s の電流経路がMTJメモリセルに形成される。この結果、記憶データに応じた電圧降下がリードビット線RBLに現われる。これにより、図4に示したのと同様のデータ読出動作を実行することが可能となる。

【0119】このように、データ書込時を含む、データ読出時以外におけるリードビット線RBLの電圧を、データ読出時におけるプリチャージ電圧と一致させているので（図17の例では、電源電圧 V_{cc} ）、データ読出前に新たなプリチャージ動作を起動する必要がない。したがって、プリチャージ動作を効率化して、データ読出を高速化できる。

【0120】同様に、データ書込時以外におけるライトビット線WBLの電圧を、データ読出時においてセンス電流経路を形成するために設定される電圧（図17の例では、接地電圧 V_{ss} ）と一致させることによって、デ

ータ読出時にライトビット線WBLの電圧を変化させる必要がないため、データ読出を高速化できる。

【0121】図18は、実施の形態3に従うMTJメモリセルに対するデータ書込およびデータ読出の第2の動作例を説明するタイミングチャートである。

【0122】図18においては、リードビット線RBLのプリチャージ電圧およびデータ書込時以外におけるライトビット線WBLの電圧は、接地電圧 V_{ss} および電源電圧 V_{cc} にそれぞれ設定される。すなわち、リードビット線RBLのプリチャージ電圧とデータ書込時以外におけるライトビット線WBLの電圧とは、図17の場合と入換えて設定される。

【0123】図18における、その他の部分の電圧および電流波形は、図17の場合と同様であるので、詳細な説明は繰り返さない。このような電圧設定としても、データ読出時において、アクセストランジスタATRのターンオンにตอบสนองして、センス電流 I_s の電流経路をMTJメモリセルに形成することができる。

【0124】したがって、データ読出時にリードビット線RBLに生じる電圧変化の極性は図17の場合とは逆となるが、データ読出動作およびデータ書込動作を実行することが可能である。

【0125】また、図17の場合と同様に、データ読出前における、リードビット線RBLのプリチャージ動作およびライトビット線WBLの電圧変化を行なう必要がないため、データ読出の高速化を図ることができる。

【0126】図19は、実施の形態3に従うMTJメモリセルの配置を示す構造図である。図19を参照して、リードビット線RBLは第1の金属配線層M1に形成されて、アクセストランジスタATRのソース／ドレイン領域110と結合される。ライトワード線WWLは第2の金属配線層M2に配置される。ライトビット線WBLは、磁気トンネル接合部MTJと結合されて第3の金属配線層M3に形成される。MTJメモリセルは、第1および第2の金属配線層M1、M2、金属膜150およびバリアメタル140を介してアクセストランジスタATRのソース／ドレイン領域120と結合される。

【0127】このように、リードビット線RBLは、磁気トンネル接合部MTJと直接結合されず、アクセストランジスタATRを介して、データ読出の対象となるMTJメモリセルの磁気トンネル接合部MTJのみと接続することができる。これにより、リードビット線RBLの容量を抑制して、データ読出時の動作を高速化できる。

【0128】また、ライトビット線WBLについては、磁気トンネル接合部MTJとの間隔を狭くすることができるので、データ書込時における磁気カップリングを大きく設定して、データ書込時にライトビット線WBLを流れるデータ書込電流 I_w の電流値を小さくすることができる。この結果、磁気ノイズの抑制がさらに可能と

なる。

【0129】〔実施の形態3の変形例〕図20は、実施の形態3の変形例に従うメモリアレイ10の構成を示すブロック図である。

【0130】図20を参照して、実施の形態3の変形例においても、ビット線はライトビット線WBLとリードビット線RBLとに分割され、MTJメモリセルのそれぞれの列に対応してリードビット線RBL1～RBLmおよびライトビット線WBL1～WBLmが配置される。また、MTJメモリセルの行のそれぞれに対応してリードワード線RWL1～RWLnおよびライトワード線WWL1～WWLnが配置される。実施の形態3の変形例においては、各MTJメモリセルにおける接続態様が実施の形態3の場合と異なる。

【0131】図21は、実施の形態3の変形例に従うMTJメモリセルの接続態様を示す回路図である。

【0132】図21を参照して、実施の形態3の変形例に従うMTJメモリセルにおいては、アクセストランジスタATRは、リードビット線RBLと磁気トンネル接合部MTJとの間に電気的に結合される。磁気トンネル接合部MTJは、アクセストランジスタATRおよびライトワード線WWLの間に結合される。アクセストランジスタATRのゲートはリードワード線RWLと結合される。

【0133】図17で説明したように、データ読出時におけるライトワード線WWLの電圧レベルは接地電圧Vssに設定されるので、ライトワード線WWLをライトビット線WBLに代えて磁気トンネル接合部MTJと結合することができる。これによりデータ読出時においては、リードワード線RWLの活性化にตอบสนองして、アクセストランジスタATRがターンオンして、リードビット線RBL～アクセストランジスタATR～磁気トンネル接合部MTJ～ライトワード線WWLの間にセンス電流Isの電流経路を形成できる。これにより、磁気トンネル接合部MTJの記憶データに応じた電圧降下をリードビット線RBLに生じさせることができる。

【0134】一方、データ書込時においては、ライトワード線WWLおよびライトビット線WBLをそれぞれ流れるデータ書込電流によって、互いに直交する磁界を磁気トンネル接合部MTJに発生することができる。

【0135】したがって、実施の形態3の変形例に従うMTJメモリセルに対するデータ書込およびデータ読出動作は、リードワード線RWL、ライトワード線WWL、リードビット線RBLおよびライトビット線WBLの電圧および電流を図17もしくは図18と同様に設定することによって実行できる。

【0136】図22は、実施の形態3の変形例に従うMTJメモリセルの配置を説明する構造図である。

【0137】図22を参照して、実施の形態3の変形例においては、ライトビット線WBLは、他の配線やMT

Jメモリセルと結合させる必要がないので、磁気トンネル接合部MTJとの磁気カップリングの向上を優先して自由に配置することができる。ライトビット線WBLは、たとえば図19に示すように第2の金属配線層M2を用いて、磁気トンネル接合部MTJの直下に配置される。

【0138】ライトワード線WWLは、磁気トンネル接合部MTJと電気的に結合されて第3の金属配線層M3に配置される。リードワード線RWL、アクセストランジスタATRおよびリードビット線RBLの配置については図19と同様であるので説明は繰返さない。

【0139】このような構成とすることにより、リードビット線RBLをアクセストランジスタATRを介して磁気トンネル接合部MTJと結合するので、リードビット線RBLを同一メモリセル列に属する多数の磁気トンネル接合部MTJと直接接続することなく、リードビット線RBLの容量を抑制できる。この結果、データ読出動作を高速化できる。

【0140】また、磁気トンネル接合部MTJとライトワード線WWLとの間隔を狭くできるので、データ書込時における磁気カップリングを大きくすることができ、ライトワード線WWLのデータ書込電流Ipの電流量を小さく設定することができる。ライトワード線WWLおよびライトビット線WBLを流れるデータ書込電流の電流量を抑制することによって、磁気ノイズの抑制をさらに図ることができる。

【0141】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0142】

【発明の効果】請求項1、2、3および5記載の薄膜磁性体記憶装置は、データ読出の対象として選択された行に対応する磁性体メモリセルのみがデータ線と接続される構成を有するので、データ線の容量を低減してデータ読出を高速に行なえる。

【0143】請求項4記載の薄膜磁性体記憶装置は、請求項2記載の薄膜磁性体記憶装置が奏する効果に加えて、金属配線層数を抑制して製造コスト低減を図ることができる。

【0144】請求項6記載の薄膜磁性体記憶装置は、基準配線を設けることなく、データ読出時に記憶部を第2の電圧と結合してデータ読出電流の経路を確保できるので、より少ない配線数によって請求項1記載の薄膜磁性体記憶装置が奏する効果を享受できる。

【0145】請求項7および8に記載の薄膜磁性体記憶装置は、データ読出時に書込ワード線によって記憶部を所定電圧と結合してデータ読出電流の経路を確保できる

10

20

30

40

50

ので、より少ない金属配線層数によって半導体基板上に形成することができる。

【0146】請求項9および10に記載の薄膜磁性体記憶装置は、データ読出の対象として選択された行に対応する磁性体メモリセルのみが読出データ線と接続される構成を有するので、読出データ線の容量を低減してデータ読出を高速に行なえる。

【0147】請求項11に記載の薄膜磁性体記憶装置は、書込データ線を磁性体メモリセルと結合する必要がないので、書込データ線の配置の自由度が高くなる。この結果、書込データ線と磁性体メモリセルとの間の磁気カップリングを向上させる配置を採用して、請求項9記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込電流の抑制による低消費電力化を図ることができる。

【0148】請求項12に記載の薄膜磁性体記憶装置は、書込データ線を磁性体メモリセルに近接して配置できるのでデータ書込時における磁気カップリングを向上することができる。この結果、請求項10または11に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込電流を抑制して低消費電力化を図ることができる。

【0149】請求項13に記載の薄膜磁性体記憶装置は、データ読出前において、複数の読出データ線に対する新たなプリチャージ動作を起動する必要がない。したがって、プリチャージ動作を効率化して、データ読出を高速化できる。

【0150】請求項14に記載の薄膜磁性体記憶装置は、データ読出前において、複数の書込データ線の電圧を変化させる必要がないため、データ読出を高速化できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【図2】 実施の形態1に従うメモリアレイ10の構成を示すブロック図である。

【図3】 実施の形態1に従うMTJメモリセルの接続態様を示す回路図である。

【図4】 実施の形態1に従うMTJメモリセルに対するデータ書込およびデータ読出を説明するタイミングチャートである。

【図5】 実施の形態1に従うMTJメモリセルの配置を説明する構造図である。

【図6】 実施の形態1の変形例に従うメモリアレイ10の構成を示すブロック図である。

【図7】 実施の形態1の変形例に従うMTJメモリセルの接続態様を示す回路図である。

【図8】 実施の形態1の変形例に従うMTJメモリセルの配置を説明する構造図である。

【図9】 実施の形態2に従うメモリアレイ10の構成を示すブロック図である。

【図10】 実施の形態2に従うMTJメモリセルの接

続態様を示す回路図である。

【図11】 実施の形態2に従うMTJメモリセルの配置を説明する構造図である。

【図12】 実施の形態2の変形例に従うメモリアレイ10の構成を示すブロック図である。

【図13】 実施の形態2の変形例に従うMTJメモリセルの接続態様を示す回路図である。

【図14】 実施の形態2の変形例に従うMTJメモリセルの配置を示す構造図である。

10 【図15】 実施の形態3に従うメモリアレイ10の構成を示すブロック図である。

【図16】 実施の形態3に従うMTJメモリセルの接続態様を示す回路図である。

【図17】 実施の形態3に従うMTJメモリセルに対するデータ書込およびデータ読出の第1の動作例を説明するタイミングチャートである。

【図18】 実施の形態3に従うMTJメモリセルに対するデータ書込およびデータ読出の第2の動作例を説明するタイミングチャートである。

20 【図19】 実施の形態3に従うMTJメモリセルの配置を示す構造図である。

【図20】 実施の形態3の変形例に従うメモリアレイ10の構成を示すブロック図である。

【図21】 実施の形態3の変形例に従うMTJメモリセルの接続態様を示す回路図である。

【図22】 実施の形態3の変形例に従うMTJメモリセルの配置を説明する構造図である。

【図23】 磁気トンネル接合部を有するメモリセルの構成を示す概略図である。

30 【図24】 MTJメモリセルからのデータ読出動作を説明する概念図である。

【図25】 MTJメモリセルに対するデータ書込動作を説明する概念図である。

【図26】 データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

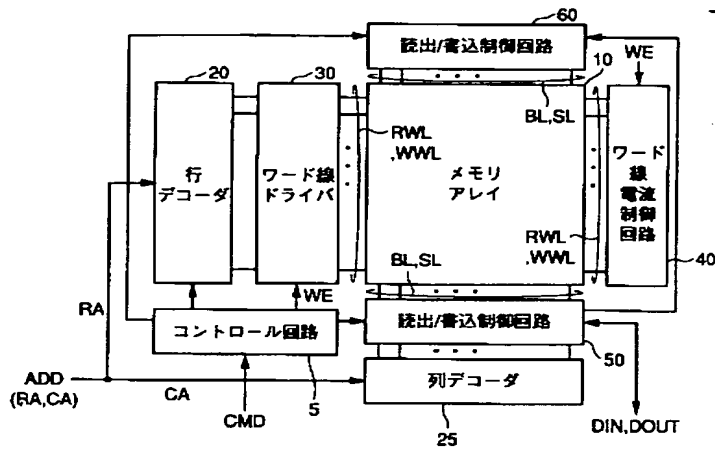
【図27】 行列状に集積配置されたMTJメモリセルを示す概念図である。

【図28】 半導体基板上に配置されたMTJメモリセルの構造図である。

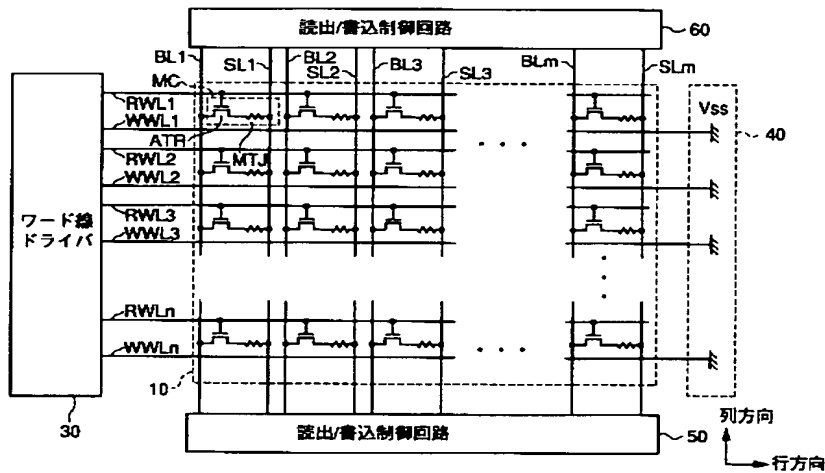
40 【符号の説明】

10 メモリアレイ、20 行デコーダ、25 列デコーダ、30 ワード線ドライバ、40 ワード線電流制御回路、50、60 読出／書込制御回路、ATR アクセストランジスタ、BL ビット線、FL 自由磁気層、MTJ 磁気トンネル接合部、RBL リードビット線、RWL リードワード線、TBトンネルバリア、VL 固定磁気層、WBL ライトビット線、WWL ライトワード線。

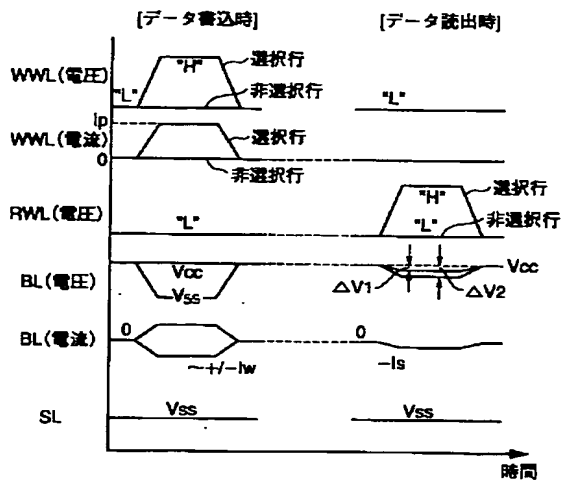
【図1】



【図2】

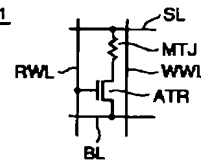


【図4】

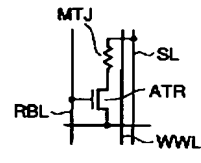


【図3】

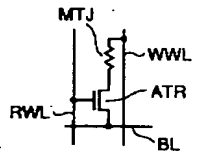
1



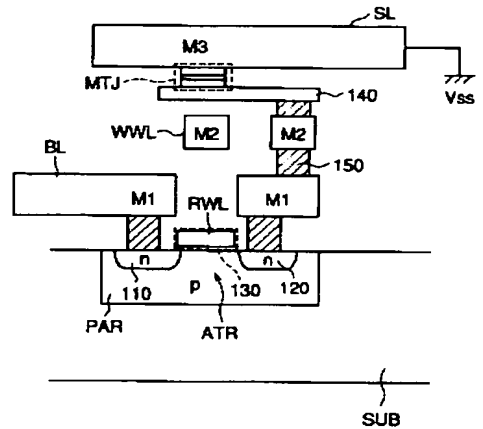
【図7】



【図13】

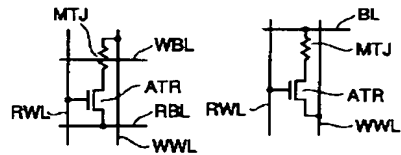


【図5】



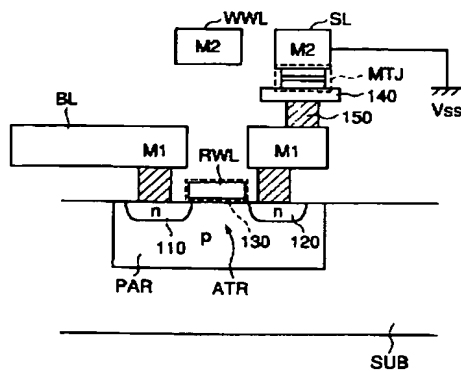
【図21】

【図10】

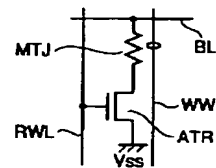
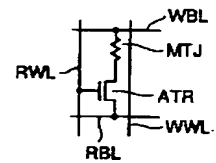


【図16】

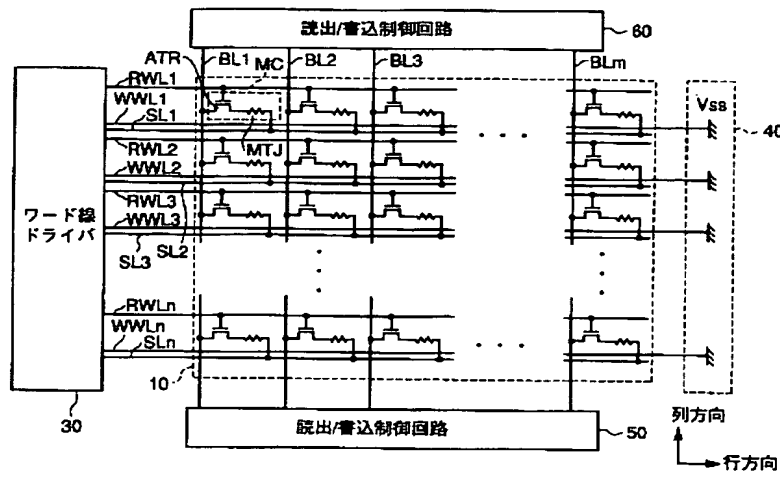
【図8】



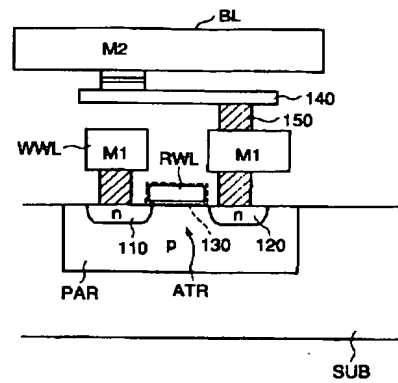
【図23】



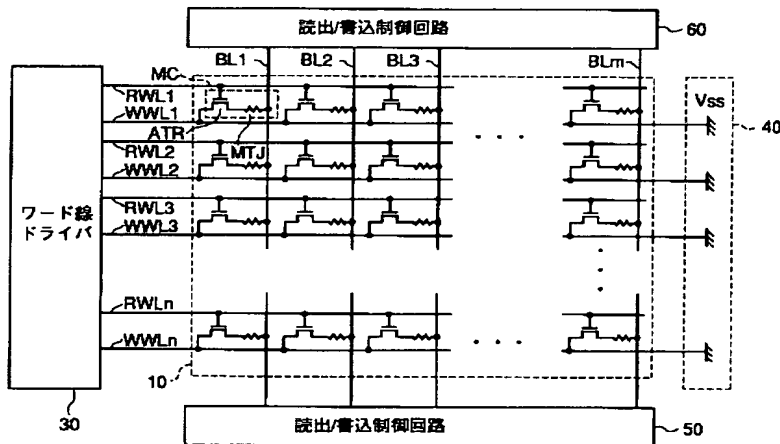
【図 6】



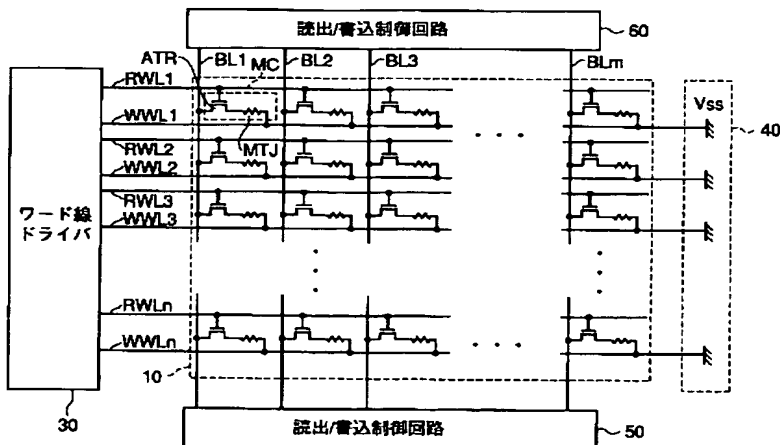
【図 11】



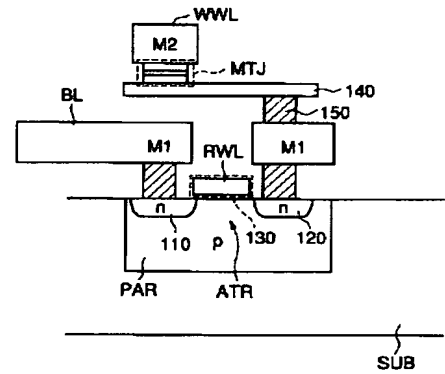
【図 9】



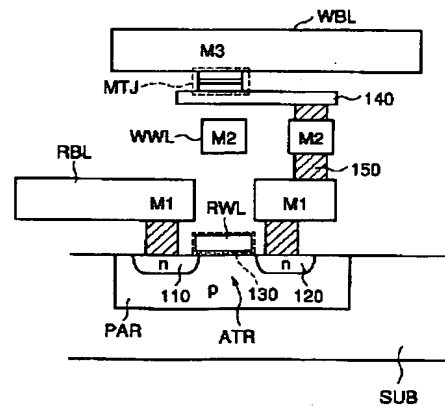
【図 12】



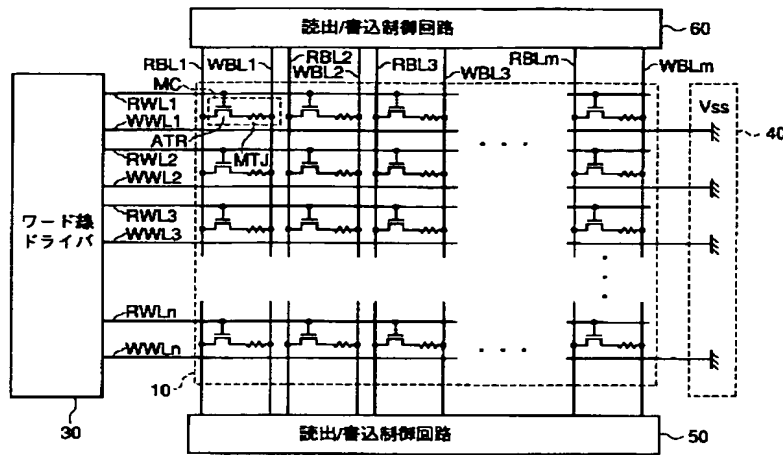
【図 14】



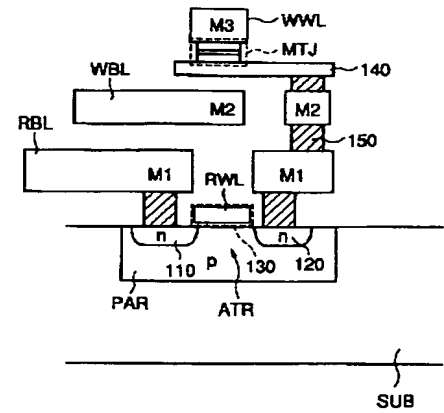
【図 19】



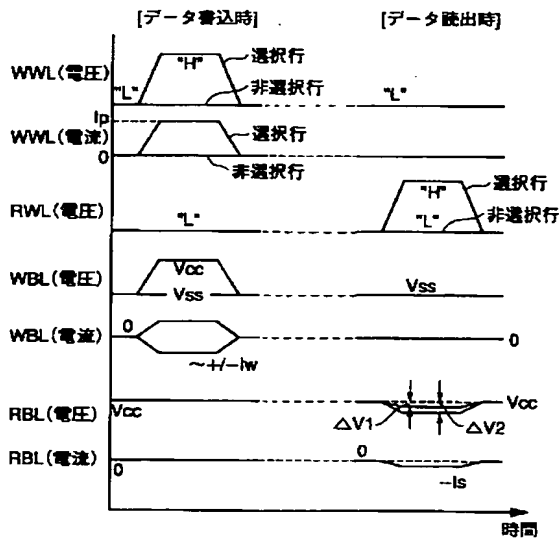
【図15】



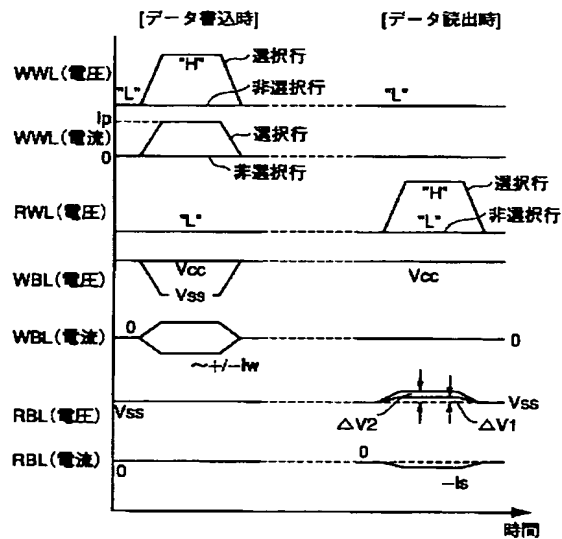
【図22】



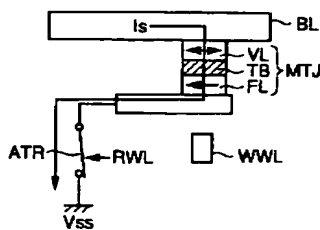
【図17】



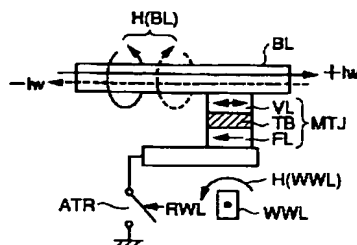
【図18】



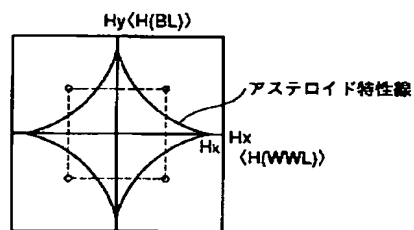
【図24】



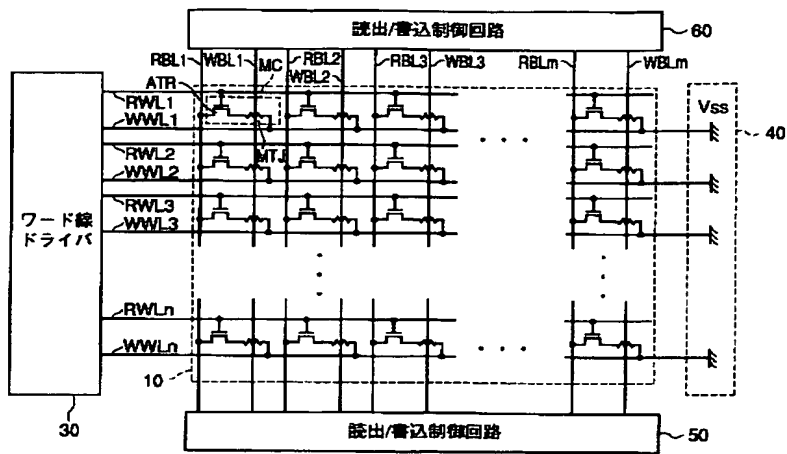
【図25】



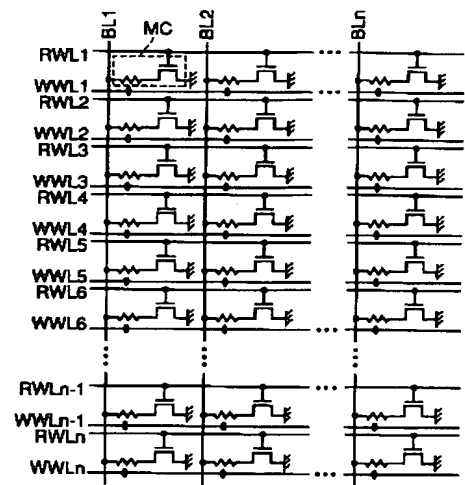
【図26】



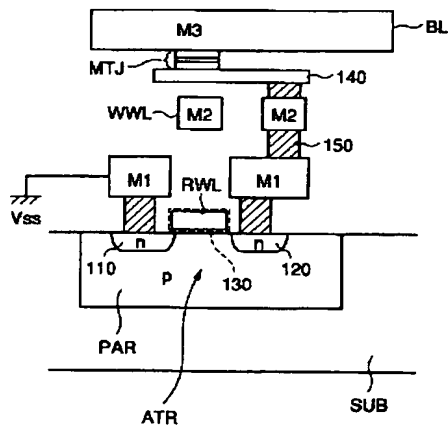
【図20】



【図27】



【図28】



This Page Blank (uspto)